

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-167593

(43)Date of publication of application : 22.06.2001

(51)Int.Cl.

G11C 17/00

(21)Application number : 2000-338013

(71)Applicant : SAMSUNG ELECTRONICS CO LTD

(22)Date of filing : 06.11.2000

(72)Inventor : JO YOSHAU

(30)Priority

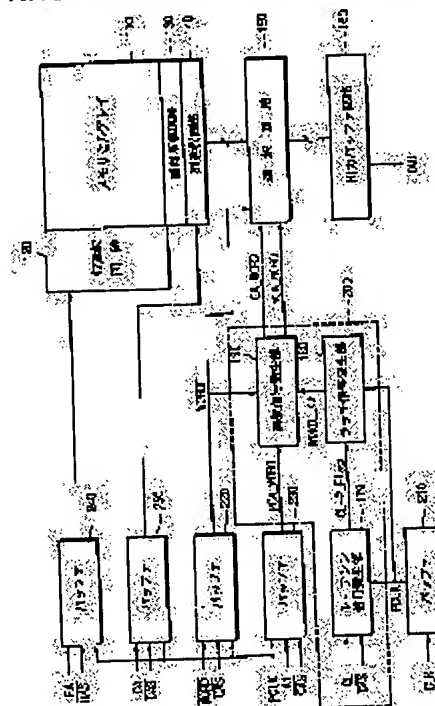
Priority number : 1999 9948932 Priority date : 05.11.1999 Priority country : KR

(54) SYNCHRONOUS TYPE MEMORY DEVICE AND ITS CONTINUOUS READ- OUT METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a synchronous type memory device and its continuous read-out method which can perform continuous read-out operation with a single word mode.

SOLUTION: A synchronous type memory device having a single word mode is composed of a word decoding circuit in which a word signal is latched in a non-volatile section of an internal clock signal having a clock cycle being faster than a clock cycle corresponding to the prescribed CAS latency by two clock cycle after input of a read-out instruction in read-out operation of the single word mode, and generating a selecting signal of a complementary logic state responding to the latched word signal and a mode selecting signal, and a selecting circuit and receiving data corresponding to a column selected by the column selecting circuit, responding to the selecting signal, and transmitting lower-order/higher-order data out of the above data to an output buffer circuit continuously.



LEGAL STATUS

[Date of request for examination]

07.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-167593
(P2001-167593A)

(43) 公開日 平成13年6月22日 (2001.6.22)

(51) Int.Cl.⁷
G11C 17/00

識別記号

F I
G11C 17/00

テーマコード(参考)

C

審査請求 未請求 請求項の数15 O L (全 13 頁)

(21) 出願番号 特願2000-338013(P2000-338013)
(22) 出願日 平成12年11月6日(2000.11.6)
(31) 優先権主張番号 1999P-48932
(32) 優先日 平成11年11月5日(1999.11.5)
(33) 優先権主張国 韓国 (K R)

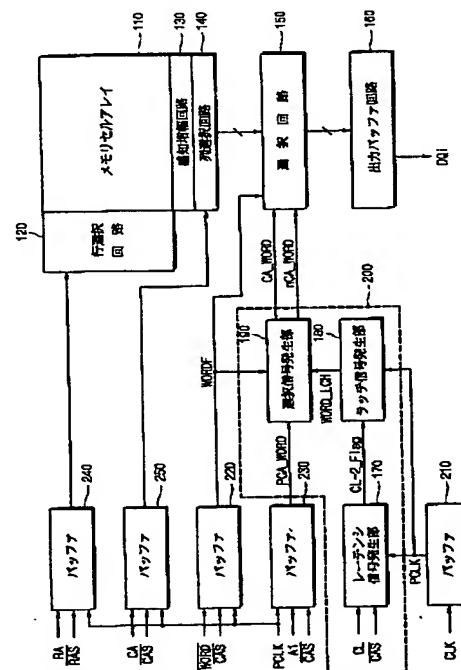
(71) 出願人 390019839
三星電子株式会社
大韓民国京畿道水原市八達区梅灘洞416
(72) 発明者 徐 用 錫
大韓民国ソウル市宋波区新川洞 ジンジョ
アパート14棟301号
(74) 代理人 100086368
弁理士 萩原 誠

(54) 【発明の名称】 同期型メモリ装置及びその連続読出方法

(57) 【要約】 (修正有)

【課題】 シングルワードモードで連続的読出動作が可能な同期型メモリ装置及びその連続読出方法を提供する。

【解決手段】 シングルワードモードとを有する同期型メモリ装置において、前記シングルワードモードの読出動作で、読出命令の入力後所定のCASレーテンシに対応するクロックサイクルより2クロックサイクルが速い内部クロック信号の非活性化区間でワード信号をラッチし、前記ラッチされたワード信号とモード選択信号にตอบสนองして相補的な論理状態の選択信号を発生するワードデコーディング回路と、前記シングルワードモードの読出動作で、前記列選択回路により選択された列に対応するデータを受け入れ、前記選択信号にตอบสนองして前記データのうち上位/下位ワードデータを出力バッファ回路に伝達し、前記データのうち下位/上位ワードデータを連続的に出力バッファ回路に伝達する選択回路とを含む同期型メモリ装置とした。



1

【特許請求の範囲】

【請求項1】 外部クロック信号1サイクルでダブルワードデータが出力されるダブルワードモードと、前記外部クロック信号1サイクルでシングルワードデータが出力されるシングルワードモードとを有する同期型マスクROM装置において、

それぞれデータを貯蔵し、行と列のマトリックス形態に配列された複数のメモリセルのアレイと、

前記列を通じて前記アレイからデータを検知する感知増幅回路と、

読出命令の入力時に提供される列アドレスに応答して前記列のうちの一部を選択する列選択回路と、

前記シングルワードモードの読出動作で、前記読出命令の入力後所定のCASレーテンシに対応するクロックサイクルより2クロックサイクル速い内部クロック信号の非活性化区間でワード信号をラッチし、ラッチされた前記ワード信号とモード選択信号に応答して相補的な論理状態の選択信号を発生するワードデコーディング回路と、

前記シングルワードモードの読出動作で、前記列選択回路により選択された列に対応するデータを受け入れ、前記選択信号に応答して前記データのうち上位/下位ワードデータを出力バッファ回路に伝達し、前記データのうち下位/上位ワードデータを連続的に出力バッファ回路に伝達する選択回路と、を備えて構成されることを特徴とする同期型メモリ装置。

【請求項2】 前記モード選択信号は前記シングルワードモードと前記ダブルワードモードのうちのひとつを選択するための信号で、前記ワード信号は前記下位ワードデータと前記上位ワードデータのうちのひとつを選択するための信号であることを特徴とする請求項1記載の同期型メモリ装置。

【請求項3】 前記読出命令はチップ選択信号及び列アドレスストロブ信号が論理“ロウ”レベルで、行アドレスストロブ信号及びモードレジスタセット信号が論理“ハイ”レベルのときに入力されることを特徴とする請求項1記載の同期型メモリ装置。

【請求項4】 前記ワードデコーディング回路は前記列アドレスストロブ信号に応答してレーテンシフラグ信号を発生し、前記列アドレスストロブ信号が活性化されるとときに前記レーテンシフラグ信号を活性化させ、前記CASレーテンシに対応するクロックサイクルより2クロックサイクル速い内部クロック信号のロウ-ハイ遷移により前記レーテンシフラグ信号を非活性化させるレーテンシ信号発生部と、

前記レーテンシフラグ信号が非活性化されるとき、パルス形態のワードラッチ信号を発生するラッチ信号発生部と、

前記ワードラッチ信号が活性化されるとき前記ワード信号をラッチし、前記シングルワードモードの読出動作で

2

前記ラッチされたワード信号と前記モード選択信号に 응답して前記選択信号のうちいずれか一つを活性化させる選択信号発生部と、を備えて構成されることを特徴とする請求項3記載の同期型メモリ装置。

【請求項5】 前記ワードラッチ信号は、前記CASレーテンシに対応するクロックサイクルより2クロックサイクル速い内部クロック信号のハイ-ロウ遷移時点で活性化され、前記CASレーテンシに対応するクロックサイクルより1クロックサイクル速い内部クロック信号のロウ-ハイ遷移時点で非活性化されることを特徴とする請求項4記載の同期型メモリ装置。

【請求項6】 前記選択信号発生部は、前記ダブルワードモードの読出動作で前記選択された列に対応するデータが、前記選択回路を通じて一度に前記出力バッファ回路に伝達されるように、前記ワード信号の論理状態に関係なく前記選択信号を同時に活性化させることを特徴とする請求項4記載の同期型メモリ装置。

【請求項7】 前記出力バッファ回路は、前記内部クロック信号のロウ-ハイ遷移のみで、前記選択回路を通じて伝達されるデータを受け入れることを特徴とする請求項1記載の同期型メモリ装置。

【請求項8】 前記同期型メモリ装置はマスクROM装置を含むことを特徴とする請求項1記載の同期型メモリ装置。

【請求項9】 外部クロック信号1サイクルでダブルワードデータが出力されるダブルワードモードと、前記外部クロック信号1サイクルでシングルワードデータが出力されるシングルワードモードとを有する同期型メモリ装置の連続読出方法において、

前記同期型メモリ装置の情報貯蔵領域からデータを検知するステップと、

前記シングルワードモードで、読出命令の入力後所定のCASレーテンシに対応するクロックサイクルより2クロックサイクル速い内部クロック信号の非活性化区間でワード信号及びモード選択信号に応答して相補的な論理状態の選択信号を発生するステップと、

前記シングルワードモードで、前記選択信号に応答して前記感知されたデータのうちの一部を出力バッファ回路に伝達し、残りのデータを連続的に前記出力バッファ回路に伝達するステップと、を含むことを特徴とする同期型メモリ装置の連続読出方法。

【請求項10】 前記モード選択信号は前記シングルワードモードと前記ダブルワードモードのうちのいずれか一つを選択するための信号で、前記ワード信号は前記下位ワードデータと前記上位ワードデータのうちのひとつを選択するための信号であることを特徴とする請求項9記載の連続読出方法。

【請求項11】 前記読出命令はチップ選択信号及び列アドレスストロブ信号が論理“ロウ”レベルで、行アドレスストロブ信号及びモードレジスタセット信号が

50

3

論理“ハイ”レベルのときに入力されることを特徴とする請求項9記載の連続読出方法。

【請求項12】 前記選択信号を発生するステップは、前記列アドレスストロブ信号にตอบสนองしてレーテンシフラグ信号を発生するステップと、前記レーテンシフラグ信号が非活性化されるときにパルス形態のワードラッチ信号を発生するステップと、前記ワードラッチ信号が活性化されるときに前記ワード信号をラッチするステップと、前記シングルワードモードの読出動作で、前記ラッチされたワード信号と前記モード選択信号にตอบสนองして前記選択信号のうちいずれか一つを活性化させるステップとを含んでおり、前記レーテンシフラグ信号は前記列アドレスストロブ信号が活性化されるときに活性化され、前記CASレーテンシに対応するクロックサイクルより2クロックサイクルが速い内部クロック信号のロウ-ハイ遷移により非活性化されることを特徴とする請求項11記載の連続読出方法。

【請求項13】 前記ワードラッチ信号は前記CASレーテンシに対応するクロックサイクルより2クロックサイクル速い内部クロック信号のハイ-ロウ遷移時点で活性化され、前記CASレーテンシに対応するクロックサイクルより1クロックサイクル速い内部クロック信号のロウ-ハイ遷移時点で非活性化されることを特徴とする請求項12記載の連続読出方法。

【請求項14】 前記選択信号は、前記ダブルワードモードの読出動作で前記選択された列に対応するデータが前記選択回路を通じて一度に前記出力バッファ回路に伝達されるように前記ワード信号の論理状態に関係なく同時に活性化されることを特徴とする請求項9記載の連続読出方法。

【請求項15】 前記出力バッファ回路は、前記内部クロック信号のロウ-ハイ遷移のみで前記選択回路を通じて伝達されるデータを受け入れることを特徴とする請求項9記載の連続読出方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体メモリ装置に係り、より詳細にはクロック信号に同期して動作する同期型メモリ装置及びその連続読出方法に関するものである。

【0002】

【従来の技術】一般には、半導体メモリ装置として不揮発性データ記憶貯蔵媒体としてのマスクROM装置があり、使用されてきている。そのようなマスクROM装置のビット構造は可変可能で、1995年2月に発行されたデータブックに「KM23V16205CSG」及び「KM23V32005BG」との題目で開示されている。ここに開示されたように、マスクROM装置は非同期式メモリ装置で、出力デ

4

ータのビット数にしたがってシングルワードモード(×16)とダブルワードモード(×32)を有する。このシングルワードモードとダブルワードモードは前記装置に提供されるWORD/バーピンの電圧レベルによりスイッチされる。

【0003】非同期型マスクROM装置はデータを貯蔵するためのメモリセルアレイを含む。この非同期型マスクROM装置がダブルワードモードで動作するとき、メモリセルアレイから読み出されたダブルワードデータ(すなわち、32データビット)は一度の読出命令により同時に出力される。一方、一般のマスクROM装置がシングルワードモードで動作するとき、メモリセルアレイから読み出されたダブルワードデータは2度の読出命令により2回にかけて出力される。すなわち、前記読み出されたダブルワードデータのうち上位(または下位)ワードデータが出力される。その次に、以前の読出命令に関するデータとの衝突を避けるために所定時間が経過後、この読み出されたダブルワードデータのうち下位(または上位)ワードデータが出力される。

【0004】半導体メモリ装置の高速動作が徐々に求められている傾向にある。マスクROM装置が具現されるシステムで使用されるシステムクロック信号をこのマスクROM装置に提供することにより、そのような要求(高速動作)を満足させうる。クロック信号に同期して動作するマスクROM装置が上記したシングルワードモードで動作する場合、上位(または下位)ワードデータを出力した後、下位(または上位)ワードデータを連続的に(切れることなく、またはデータ間の衝突なしに)出力することで、より速い動作速度(または外部との通信速度)が得られる。

【0005】

【発明が解決しようとする課題】したがって本発明の目的は、シングルワードモードで連続的読出動作が可能な同期型メモリ装置と、それに含まれる同期型マスクROM装置を提供することにある。

【0006】

【課題を解決するための手段】このような目的を達成するために本発明は次のような手段を用いる。

(1) 外部クロック信号1サイクルでダブルワードデータが出力されるダブルワードモードと、前記外部クロック信号1サイクルでシングルワードデータが出力されるシングルワードモードとを有する同期型メモリ装置において、それぞれデータを貯蔵し、行と列のマトリックス形態に配列された複数のメモリセルのアレイと、前記列を通じて前記アレイからデータを検知する感知増幅回路と、読出命令の入力時に提供される列アドレスにตอบสนองして前記列のうちの一部を選択する列選択回路と、前記シングルワードモードの読出動作で、前記読出命令の入力後所定のCASレーテンシに対応するクロックサイクルより2クロックサイクル速い内部クロック信号の非活性

5

化区間でワード信号をラッチし、前記ラッチされたワード信号とモード選択信号に応答して相補的な論理状態の選択信号を発生するワードデコーディング回路と、前記シングルワードモードの読出動作で、前記列選択回路により選択された列に対応するデータを受け入れ、前記選択信号に応答して前記データのうち上位/下位ワードデータを出力バッファ回路に伝達し、前記データのうち下位/上位ワードデータを連続的に出力バッファ回路に伝達する選択回路と、を含んで構成して同期型メモリ装置とした。

【0007】(2) 前記モード選択信号は前記シングルワードモードと前記ダブルワードモードのうちの一つを選択するための信号で、前記ワード信号は前記下位ワードデータと前記上位ワードデータのうちの一つを選択するための信号である同期型メモリ装置とした。

(3) 前記読出命令はチップ選択信号及び列アドレスストロブ信号が論理“ロウ”レベルで、行アドレスストロブ信号及びモードレジスタセット信号が論理“ハイ”レベルのときに入力される同期型メモリ装置とした。

【0008】(4) 前記ワードデコーディング回路は前記列アドレスストロブ信号に응答してレーテンシフラグ信号を発生し、前記列アドレスストロブ信号が活性化されるときに前記レーテンシフラグ信号を活性化させ、前記CASレーテンシに対応するクロックサイクルより2クロックサイクル速い内部クロック信号のロウ-ハイ遷移により前記レーテンシフラグ信号を非活性化させるレーテンシ信号発生部と、前記レーテンシフラグ信号が非活性化されるとき、パルス形態のワードラッチ信号を発生するラッチ信号発生部と、前記ワードラッチ信号が活性化されるとき前記ワード信号をラッチし、前記シングルワードモードの読出動作で前記ラッチされたワード信号と前記モード選択信号に응答して前記選択信号のうちいずれか一つを活性化させる選択信号発生部と、を含む同期型メモリ装置とした。

【0009】(5) 前記ワードラッチ信号は前記CASレーテンシに対応するクロックサイクルより2クロックサイクル速い内部クロック信号のハイ-ロウ遷移時点で活性化され、前記CASレーテンシに対応するクロックサイクルより1クロックサイクル速い内部クロック信号のロウ-ハイ遷移時点で非活性化される同期型メモリ装置とした。

【0010】(6) 前記選択信号発生部は、前記ダブルワードモードの読出動作で前記選択された列に対応するデータが、前記選択回路を通じて一度に前記出力バッファ回路に伝達されるように、前記ワード信号の論理状態に関係なく前記選択信号を同時に活性化させる同期型メモリ装置とした。

(7) 前記出力バッファ回路は、前記内部クロック信号のロウ-ハイ遷移のみで、前記選択回路を通じて伝達さ

6

れるデータを受け入れる同期型メモリ装置とした。このような装置によると、シングルワードモードの読出動作で下位(または上位)ワードデータを出力し、下位(または上位)ワードデータの一つの箇条なしに(以前データ出力に影響を及ぼすことなく)連続的に上位(または下位)ワードデータを出力することができる。

(8) 前記同期型メモリ装置は、マスクROM装置を含んでいる。

【0011】(9) 外部クロック信号1サイクルでダブルワードデータが出力されるダブルワードモードと、前記外部クロック信号1サイクルでシングルワードデータが出力されるシングルワードモードとを有する同期型メモリ装置の連続読出方法において、前記同期型メモリ装置の情報貯蔵領域からデータを検知するステップ(段階)と、前記シングルワードモードで、読出命令の入力後所定のCASレーテンシに対応するクロックサイクルより2クロックサイクル速い内部クロック信号の非活性化区間でワード信号及びモード選択信号に응答して相補的な論理状態の選択信号を発生するステップ(段階)

と、前記シングルワードモードで、前記選択信号に응答して前記感知されたデータのうちの一部を出力バッファ回路に伝達し、残りのデータを連続的に前記出力バッファ回路に伝達するステップ(段階)と、を備える同期型メモリ装置の連続読出方法とした。

【0012】(10) 前記モード選択信号は前記シングルワードモードと前記ダブルワードモードのうちのいずれか一つを選択するための信号で、前記ワード信号は前記下位ワードデータと前記上位ワードデータのうちの一つを選択するための信号である連続読出方法とした。

(11) 前記読出命令はチップ選択信号及び列アドレスストロブ信号が論理“ロウ”レベルで、行アドレスストロブ信号及びモードレジスタセット信号が論理“ハイ”レベルのときに入力されるの連続読出方法とした。

【0013】(12) 前記選択信号を発生するステップは、前記列アドレスストロブ信号に응答してレーテンシフラグ信号を発生するステップと、前記レーテンシフラグ信号が非活性化されるときにパルス形態のワードラッチ信号を発生するステップと、前記ワードラッチ信号が活性化されるときに前記ワード信号をラッチするステップと、前記シングルワードモードの読出動作で、前記ラッチされたワード信号と前記モード選択信号に응答して前記選択信号のうちいずれか一つを活性化させるステップと、を含んでおり、前記レーテンシフラグ信号は前記列アドレスストロブ信号が活性化されるときに活性化され、前記CASレーテンシに対応するクロックサイクルより2クロックサイクルが速い内部クロック信号のロウ-ハイ遷移により非活性化される連続読出方法とした。

【0014】(13) 前記ワードラッチ信号は前記CASレーテンシに対応するクロックサイクルより2クロック

7

クサイクル速い内部クロック信号のハイ-ロウ遷移時点で活性化され、前記CASレーテンシに対応するクロックサイクルより1クロックサイクル速い内部クロック信号のロー-ハイ遷移時点で非活性化される連続読出方法とした。

(14) 前記選択信号は、前記ダブルワードモードの読出動作で前記選択された列に対応するデータが前記選択回路を通じて一度に前記出力バッファ回路に伝達されるように前記ワード信号の論理状態に関係なく同時に活性化される連続読出方法とした。

(15) 前記出力バッファ回路は、前記内部クロック信号のロー-ハイ遷移のみで前記選択回路を通じて伝達されるデータを受け入れる連続読出方法とした。

【0015】

【発明の実施の形態】以下、本発明の望ましい実施の形態を、添付の図面を参照して詳細に説明する。本発明によるマスクROM装置は外部から印加されるクロック信号CLK（例えば、システムクロック信号）に同期して動作する同期型マスクROM装置であり、この分野でよく知られているバースト読出動作を支援する。そして、本発明の同期型マスクROM装置は、シングル(single)ワードモードとダブル(double)ワードモードを有し、WORD/バーピンの極性にしたがってシングルワードモードとダブルワードモードのうちいずれか一つのモードで動作する。シングルワードモードで動作するとき、読出動作で同期型マスクROM装置の情報貯蔵領域から読み出されたデータビット（例えば、ダブルワードに対応するデータビット）のうち半分は読出命令(read command)が入力され、CASレーテンシ(Column Address Strobe Latency: CL)に対応するクロックサイクルが経過した後、バースト長さ(Burst Length: 以下、BL)にしたがって順次に出力され、残りのデータビットは次の読出命令が入力され、CASレーテンシに対応するクロックサイクルが経過した後バースト長さにしたがって順次に出力される。

【0016】すなわち、本発明によるバーストタイプの同期型マスクROM装置は連続読出動作(gapless read operation)を支援する。そして、ダブルワードモードで動作するとき、読出動作で同期型マスクROM装置の情報貯蔵領域で読み出されたデータビット（例えば、ダブルワードに対応するデータビット）は読出命令が入力され、CASレーテンシに対応するクロックサイクルが経過した後、バースト長さにしたがって順次に出力される。これに対する動作は、以下に詳細に説明する。

【0017】図1に、上記に説明した連続読出動作を達成するための本発明による同期型マスクROM装置のブロック図を示す。外部（例えば、メモリ装置が適用されるシステム）から同期型マスクROM装置に印加されるすべての信号WORD/バー、RAS/バー、CAS/バー、MR/バー、アドレス信号などはシステムクロッ

8

ク信号CLKの立ち上がりエッジ(rising edge)でラッチ（またはサンプル）される。本発明による同期型マスクROM装置は情報貯蔵領域としてメモリセルアレイ110を含んでおり、図示しないが、行に沿って位置するワードライン、列に沿って伸張するビットライン、そして行と列の交差領域に配列されたメモリセルを含む。行選択回路120はバッファ240を通じて提供される行アドレスにより行、すなわちワードラインのうちいずれか一つのワードラインを選択し、感知増幅回路130はビットラインを通じてメモリセルアレイ110からデータビットを感知してラッチする。そして、列選択回路140はバッファ250を通じて提供される列アドレスにしたがって感知増幅回路130にラッチされたデータビットのうち一部（例えば、ダブルワード単位の32データビット）を選択回路150に伝達する。

【0018】前記列選択回路140には、図示しないが、列アドレスを初期列アドレスとして使用してバースト長さBLにより内部的に一連のバーストアドレスを発生するバーストアドレス発生回路（またはバーストカウンタ）が提供されることは、当該分野で通常の知識を有する者には自明なことである。バーストアドレス発生回路の例が、米国特許番号第5,319,759の「BURST ADDRESS SEQUENCE GENERATOR」、米国特許番号第5,452,261の「SERIAL ADDRESS GENERATOR FOR BURST MEMORY」、米国特許番号第5,594,765の「INTERLEAVED AND SEQUENTIAL COUNTER」、米国特許番号第5,708,688の「HIGH SPEED PROGRAMMABLE BURST ADDRESS GENERATION CIRCUIT」にそれぞれ開示されている。

【0019】選択回路150は同期型マスクROM装置からダブルワードモードで動作するとき、選択信号CA_WORD、nCA_WORDに応答して列選択回路140から伝達されたダブルワード単位のデータビットを一度に（または同時に）出力バッファ回路160に伝達する。そして、選択回路150は同期型マスクROM装置がシングルワードモードで動作するとき、選択信号CA_WORD、nCA_WORDに応答して前記ダブルワード単位のデータビットのうち上位（または下位）ワードデータ出力バッファ回路160に伝達し、その次に連続的に下位（または上位）ワードデータ出力バッファ回路160に伝達する。シングルワードモードで動作する場合、連続読出動作を達成するためには上位（または下位）ワードデータが出力バッファ回路160に伝達され、連続的に（切れることなく）そして上位（または下位）ワードデータとの衝突なしに下位（または上位）ワードデータが出力バッファ回路160に伝達されなければならない。

【0020】図2は、図1の選択回路の望ましい実施例を示すものである。同図において、図1の選択回路150は列選択回路140を通じて伝達されるダブルワード

9

単位の32データビットSAOUT〈0〉～SAOUT〈31〉を受け入れる。32データビットのうち、下位データビットはSAOUT〈0〉～SAOUT〈15〉にそれぞれ対応し、上位データビットはSAOUT〈16〉～SAOUT〈31〉にそれぞれ対応する。図2には、下位データビットのうちの一つのSAOUT〈0〉と上位データビットのうちの一つのSAOUT〈16〉に対応する構成要素が図示されている。図2の選択回路150はそれぞれが2つのインバータで構成される4つのラッチ151～154、それぞれがインバータとNMOS及びPMOSトランジスタで構成される3つの伝送ゲート155、156、157、そして2つのインバータ158、159で構成され、図2に示すように連結されている。残りの下位データビットSAOUT〈1〉～SAOUT〈15〉と残りの上位データビットSAOUT〈17〉～SAOUT〈31〉も図2に示すような同一の方法で構成される。

【0021】選択回路150の動作を説明すれば、次の通りである。同期型マスクROM装置がシングルワードモードで動作し（WORDF信号が論理“ハイ”レベルとなることを意味する）、選択信号CA_WORDが論理“ロウ”レベルで、選択信号nCA_WORDが論理“ハイ”レベルと仮定する。この仮定によると、伝送ゲート155、157が活性化され、伝送ゲート156は非活性化され、その結果、ラッチ151にラッチされる下位データビットSAOUT〈0〉は伝送ゲート155を通じてラッチ153に伝達され、ラッチ152にラッチされる上位データビットSAOUT〈16〉は遮断される。同時に、下位データビットSAOUT〈0〉は伝送ゲート155、157を通じてラッチ154に伝達される。

【0022】同期型マスクROM装置がシングルワードモードで動作し（WORDF信号が論理“ハイ”レベルとなることを意味する）、選択信号CA_WORDが論理“ハイ”レベルで、選択信号nCA_WORDが論理“ロウ”レベルと仮定する。このような仮定によると、伝送ゲート156、157が活性化され、伝送ゲート155は非活性化される。これは、ラッチ152にラッチされる上位データビットSAOUT〈16〉が伝送ゲート156を通じてラッチ154に伝達されるようにし、ラッチ151にラッチされる下位データビットSAOUT〈0〉が遮断されるようにする。これと同時に、上位データビットSAOUT〈16〉は伝送ゲート156、157を通じてラッチ153に伝達される。

【0023】同期型マスクROM装置がダブルワードモード（WORDF信号が論理“ロウ”レベルとなることを意味する）で動作するとき、選択信号CA_WORD、nCA_WORDは同時に活性化される。この仮定によれば、伝送ゲート155、156は活性化され、伝送ゲート157は非活性化される。したがって、下位デ

10

ータビットSAOUT〈0〉は対応する伝送ゲート155を通じてラッチ153に伝達され、上位データビットSAOUT〈16〉は対応する伝送ゲート156を通じてラッチ154に伝達される。

【0024】上記の説明から分かるように、同期型マスクROM装置がシングルワードモードで動作する場合、ワードデコーディング回路200から出力される選択信号CA_WORD、nCA_WORDの論理状態により、下位（または上位）データビットの伝送経路と上位（または下位）データビットの伝送経路のうちの伝送経路のみが形成される。すなわち、シングルワードモードの読出動作で上位ワードデータと下位ワードデータのうちのいずれか一つが伝達されるように前記選択信号CA_WORD、nCA_WORDは相補的な論理状態を有する。

【0025】続けて図1を参照すれば、上記の連続読出動作の条件を満足させるための選択信号CA_WORD、nCA_WORDはワードデコーディング回路200により生成される。本発明の同期型マスクROM装置がダブルワードモードで動作するとき、このワードデコーディング回路200はダブルワード単位のデータビットが同時に出力バッファ回路160に伝達されるように選択信号CA_WORD、nCA_WORDを同時に活性化させる。同期型マスクROM装置がシングルワードモードで動作するとき、ワードデコーディング回路200は選択信号CA_WORD、nCA_WORDのうちの一つを活性化させ、その次にバースト長さに相応するクロックサイクル後に他の一つを活性化させる。これは、ダブルワードデータのうちの上位（または下位）ワードデータが出力され、連続して下位（または上位）ワードデータが出力されるようにする。本発明によるワードデコーディング回路200はレーテンシ信号発生部170、ラッチ信号発生部180、そして選択信号発生部190を含む。

【0026】レーテンシ信号発生部170は行アドレスストロープ信号CAS／バー、CASレーテンシを示す信号CL、そしてクロックバッファ210からのクロック信号PCLK（システムクロック信号に同期した内部クロック信号）に応答してレーテンシフラグ信号CL-2_Flagを発生する。このレーテンシフラグ信号CL-2_Flagはバースト読出命令（信号CAS／バー、CS／バーが論理“ロウ”レベルで、信号Mk／バーが論理“ハイ”レベルのときに印加される）が印加されるクロック信号PCLK4の立ち上がりエッジに同期して活性化され、CASレーテンシCLのクロックサイクルより2クロックサイクルが速いクロック信号PCLKの立ち下がりエッジ(falling edge)に同期して非活性化される。例えば、同期型マスクROM装置のCASレーテンシCLが5のとき、レーテンシフラグ信号CL-2_Flagは3のCASレーテンシCLに対応するクロックサイクル（3クロックサイクル）の間に活性化さ

11

れる信号である(図6を参照)。レーテンシ信号発生回路170はカウンタで構成される。

【0027】ラッチ信号発生部180は、レーテンシフラグ信号CL-2_Flag及びクロック信号PCLKに
 10 応答して、パルス形態のワードラッチ信号WORD_LCHを発生する。図3を参照すれば、本発明のラッチ信号発生部180はパルス発生器181、パルス幅遅延回路182、インバータ38、42、44及びNORゲート40で構成される。このパルス発生器181は、レーテンシフラグ信号CL-2_Flagのハイ-ロウ遷移に
 20 応答してショートパルス信号SPを発生し、遅延回路182は、このショートパルス信号SPのハイ-ロウ遷移時点を所定時間だけ遅延させた信号SPDを出力する。NORゲート40は、インバータ38を通じて印加される信号SPDとクロック信号PCLKに
 30 応答して、インバータ42、44を通じてパルス形態のワードラッチ信号WORD_LCHを出力する。

【0028】ラッチ信号発生部180によると、CASレーテンシ5を有する同期型マスクROM装置において、ワードラッチ信号WORD_LCHは図6に示すように、CASレーテンシ3に対応するクロックサイクルのクロック信号PCLK7、CLK7が論理“ロウ”
 40 レベルとなる時点と、CASレーテンシ4に対応するクロックサイクルのクロック信号PCLK7、CLK8が論理“ハイ”レベルとなる時点との間でロウ-ハイレベルを有する。

【0029】図1を参照すれば、選択信号発生部190はワードラッチ信号WORD_LCHが活性化されるとき、上位ワードデータと下位ワードデータのうちの
 50 一つを選択するためのワード信号PCA_WORDをラッチし、シングルワードモードとダブルワードモードのうちの
 一つを示すモード選択信号WORDFとラッチされたワード信号PCA_WORDに
 60 応答して選択信号CA_WORD、nCA_WORDを発生する。ここで、信号PCA_WORDは読出命令が印加されるときに提供されるワードアドレスA1を受け入れるバッファ230の出力信号である。選択信号発生部190は、図4に示すように連結された伝送ゲート191、ラッチ192、インバータ50、56、58、60、62、NMOSTランジスタ64、そしてNANDゲート50、52で構成される。

【0030】選択信号発生部190の動作を説明すれば、次のようである。同期型マスクROM装置がシングルワードモード(WORDF信号が論理“ハイ”レベルに維持されることを意味する)で動作すると仮定する。この仮定下で、ワードラッチ信号WORD_LCHが論理“ハイ”レベルに活性化されるとき、所定の論理状態を有するワード信号PCA_WORDは伝送ゲート191を通じてラッチ192に伝達される。もし、ワード信号PCA_WORDが論理“ハイ”レベルであれば、N
 50

12

ANDゲート52の出力、すなわち選択信号nCA_WORDは論理“ロウ”レベルとなり、NANDゲート54の出力、すなわち選択信号CA_WORDは論理“ハイ”レベルとなる(これは、WORDF信号が論理“ハイ”レベルに維持されるからである)。これは上位ワードデータが選択回路150を通じて出力バッファ回路160に伝達されるようになる。もし、ワード信号PCA_WORDが論理“ロウ”レベルであれば、NANDゲート52の出力、すなわち選択信号nCA_WORDは論理“ハイ”レベルとなり、NANDゲート54の出力、すなわち選択信号CA_WORDは論理“ロウ”レベルとなる。これは、下位ワードデータが前記選択回路150を通じて出力バッファ回路160に伝達されるようにする。もし、同期型マスクROM装置がダブルワードモード(WORDF信号が論理“ロウ”レベルに維持されることを意味する)で動作すれば、ワード信号PCA_WORDの論理状態に関係なく選択信号CA_WORD、nCA_WORDはすべて論理“ハイ”レベルに活性化される。これにより、ダブルワードデータが選択回路150を通じて出力バッファ回路160に伝達されるようにする。

【0031】本発明によると、シングルワードモードの連続読出動作を遂行するためには選択回路150のデータ伝送経路を転換しなければならない。データ伝送経路の転換時間は、以前読出動作に関連したワードデータQa3が出力バッファ回路160に伝達されるクロック信号PCLK11のハイ-ロウ遷移と、次の読出動作に関連したワードデータQb0が出力バッファ回路160に伝達されるクロック信号PCLK12のロウ-ハイ遷移との間に制限されている(図6を参照)。したがって、レーテンシ信号発生部170で生成されたレーテンシフラグ信号CL-2_Flagを利用してワード信号PCA_WORDをラッチするためのワードラッチ信号WORD_LCHを生成することにより、以前データ出力に影響を及ぼすことなく選択回路150のデータ伝送経路を転換することができる。

【0032】図5を参照すれば、本発明の望ましい実施例による出力バッファ回路160は図示のように、インバータ66、76、78、80、86、88、90、92、102、104、106、114、116、PMOSTランジスタ68、70、94、96、NMOSTランジスタ72、74、98、100、NORゲート82、108、及びNANDゲート84、112で構成されている。このような回路構成によると、クロック信号PCLKが論理“ハイ”レベルになると、図2の選択回路150から出力される信号SAOUT<0>、SAOUT<16>は出力バッファ回路160にラッチされて出力される。具体的に、クロック信号PCLKが論理“ハイ”レベルのとき、NMOSTランジスタ72、98とPMOSTランジスタ70、96がターンオ

13

ンされる。このとき、信号SAOUT〈0〉'、SAOUT〈16〉'の論理状態にしたがってインバータ76、78、そして102、104で構成されるラッチ101、102のラッチ状態が決定される。クロック信号PCLKが論理“ロウ”レベルのとき、信号SAOUT〈0〉'、SAOUT〈16〉'は出力バッファ回路160にラッチされない。その理由は、NMOSトランジスタ72、98とPMOSトランジスタ70、96がターンオフされるからである。

【0033】図1の列選択回路140により選択されるダブルワードデータの上位ワードデータと下位ワードデータが、シングルワードモードの連続読出動作で衝突なしに連続的に出力される本発明による読出動作が、図6のタイミング図に基づいて、以下に詳細に説明される。図6において、信号CKEはクロックエネーブル信号で、信号CS／バーはチップ選択信号である。信号WORD／バーはシングルワードモードとダブルワードモードを選択するための信号で、信号MR／バーはモードレジスタセット信号である。RASレーテンシが2クロックサイクルで、CASレーテンシが5クロックサイクルで、バースト長さBLが4と仮定し、本発明による同期型マスクROM装置の読出動作を説明する。

【0034】本発明によるシングルワードモードの読出動作を概略的に説明すれば、次の通りである。図6を参照すれば、行アクティブ命令が入力され、2クロックサイクル後に読出命令が入力されると、5クロックサイクル後に4回にかけて上位（または下位）ワードデータが順次に出力される。そして、以前の読出命令が入力され、4クロックサイクル後に読出命令が更に入力される。これにより、第1読出命令に対応する上位（または下位）ワードデータが4回出力された後、連続的に次の読出命令に対応する下位（または上位）ワードデータが4回出力される。以下に、これに対する動作を詳細に説明する。

【0035】まず、信号CKE／バー、CAS／バー、MR／バーが論理“ハイ”レベルで、信号CS／バー、RAS／バーが論理“ロウ”レベルのとき、行アクティブ命令、すなわち行アクセス及びラッチ命令がシステムクロック信号CLK2の立ち上がりエッジに同期してROM装置内に提供される。行選択回路120は行アクティブ命令の入力時に提供される行アドレスRAaに
40 応答してメモリセルアレイ110の行のうちいずれか一つを駆動し、感知増幅回路130はそのように駆動された行に関連したビットラインを通じてメモリセルアレイ110からデータビットを感知してラッチする。

【0036】その次に、RASレーテンシに対応する2クロックサイクルが経過した後、信号CKE／バー、RAS／バー、MR／バーが論理“ハイ”レベルとなり、信号CS／バー、CAS／バーが論理“ロウ”レベルとなるとき、読出命令、すなわち列アクセス及びラッチ命
50

14

令がシステムクロック信号CLK4の立ち上がりエッジに同期して提供される。列選択回路140は読出命令の入力時に提供される列アドレスCAaに
55 応答して感知増幅回路130にラッチされたデータビットのうち一部（例えば、ダブルワードデータ）を選択する。読出命令の入力と同時に、シングルワードモード及びダブルワードモードを選択するための論理“ロウ”レベルの信号WORD／バーと上位ワードデータと下位ワードデータを選択するための論理“ロウ”レベルの信号A1は、信号PCLK、CAS／バーに
60 応答して対応するバッファ220、230にそれぞれラッチされる。このとき、図6に示すように、バッファ220、230の出力信号WORDF、PCA_WORDは、それぞれ論理“ハイ”レベルと論理“ロウ”レベルとなる。論理“ハイ”レベルの信号WORDFは同期型マスクROM装置がシングルワードモードで動作することを示し、論理“ロウ”レベルの信号PCA_WORDは列選択回路130から出力されるダブルワードデータの
65 うち下位ワードデータが選択されることを示す。

【0037】システムクロック信号CLK4の立ち上がりエッジに同期して読出命令が入力されるとき、すなわち列アドレスストロブ信号CAS／バーがシステムクロック信号CLK4に同期して論理“ロウ”レベルに遷移するとき、ワードデコーディング回路200のレーテンシ信号発生部170は、信号CAS／バーのハイ-ロウ遷移に
70 応答してレーテンシフラグ信号CL-2_Flagを活性化させる。その次に、レーテンシフラグ信号CL-2_Flagは3クロックサイクル後のクロック信号PCLK7、CLK7の立ち上がりエッジに同期して非活性化される。または、信号CL-2_FlagはCASレーテンシ5に対応する5クロックサイクルより2クロックサイクルが速いクロック信号PCLK7、CLK7の立ち上がりエッジに同期して非活性化される。

【0038】ワードデコーディング回路200のラッチ信号発生部190は、レーテンシフラグ信号CL-2_Flagのハイ-ロウ遷移に
75 応答してパルス形態のワードラッチ信号WORD_LCHを発生する。図6に示すように、ワードラッチ信号WORD_LCHはクロック信号PCLK7のハイ-ロウ遷移時点で活性化され、クロック信号PCLK8のロウ-ハイ遷移時点で非活性化される。

【0039】ワードラッチ信号WORD_LCHが活性化されるとき、選択信号発生部190は論理“ロウ”レベルの信号PCA_WORDをラッチし、論理“ハイ”レベルの信号WORDFとラッチされた論理“ロウ”レベルの信号PCA_WORDに
80 応答して、論理“ハイ”レベルの選択信号nCA_WORD及び論理“ロウ”レベルの選択信号CA_WORDを出力する。これは、選択回路150の伝達ゲート155、157が活性化されるようにし（信号WORDFが論理“ハイ”レベルなの

15

で)、その伝達ゲート156が非活性化されるようにする。したがって、列選択回路140から出力されるダブルワードデータのうち下位ワードデータQa0が選択回路150により選択され、この選択された下位ワードデータQa0はクロック信号PCLK8の立ち上がりエッジに同期して出力バッファ回路160にラッチされる。その次に、出力バッファ回路160にラッチされた下位ワードデータQa0は、システムクロック信号CLK9の立ち上がりエッジに同期して外部に出力される。

【0040】この後、バースト長さにしたがって連続的にダブルワードデータが列選択回路140を通じて選択回路150に伝達され、その伝達された下位ワードデータは上記と同一の方法で出力バッファ回路160を通じて外部に出力される。その結果、バースト長さに対応する4つの下位ワードデータQa0、Qa1、Qa2、Qa3がクロック信号に同期して順次に出力される。

【0041】図6を参照すれば、システムクロック信号CLK8の立ち上がりエッジに同期して次の読出命令が印加されることが分かる。このとき、読出命令の入力と同時に論理“ロウ”レベルの信号WORD／バーと論理“ハイ”レベルの信号A1が対応するバッファ220、230にそれぞれラッチされる。このとき、図6に示すように、バッファ220、230の出力信号WORDF、PCA_WORDはすべて論理“ハイ”レベルとなる。論理“ハイ”レベルの信号PCA_WORDは列選択回路130から出力されるダブルワードデータのうち上位ワードデータが選択されることを示す。これは、以前のバースト読出動作により出力されるワードデータが下位ワードデータであり、次のバースト読出動作により出力されるワードデータが上位ワードデータであること
30を意味する。

【0042】システムクロック信号CLK8の立ち上がりエッジに同期して読出命令が入力されるとき、すなわち列アドレスストロブ信号CAS／バーがシステムクロック信号CLK8に同期して論理“ロウ”レベルに移移するとき、ワードデコーディング回路200のレーテンシ信号発生部170は信号CAS／バーにตอบสนองしてレーテンシフラグ信号CL-2_Flagを活性化させる。その次に、レーテンシフラグ信号CL-2_Flagはクロック信号PCLK11、CLK11の立ち上がりエッジに同期して非活性化される。または、信号CL-2_FlagはCASレーテンシ5に対応するクロックサイクル(5クロックサイクル)より2クロックサイクルが速いクロック信号PCLK11、CLK11の立ち上がりエッジに同期して非活性化される。
40

【0043】その次に、ワードデコーディング回路200のラッチ信号発生部190はレーテンシフラグ信号CL-2_Flagのハイ-ロウ遷移にตอบสนองしてパルス形態のワードラッチ信号WORD_LCHを発生する。図6に示すように、ワードラッチ信号WORD_LCHはク
50

16

ロック信号PCLK11のハイ-ロウ遷移時点で活性化され、クロック信号PCLK12のロウ-ハイ遷移時点で非活性化される。ワードラッチ信号WORD_LCHが活性化されると、選択信号発生部190は論理“ハイ”レベルの信号PCA_WORDをラッチし、論理“ハイ”レベルの信号WORDFとラッチされた論理“ハイ”レベルの信号PCA_WORDにตอบสนองして論理“ロウ”レベルの選択信号nCA_WORD及び論理“ハイ”レベルの選択信号CA_WORDを出力する。これにより、選択回路150の伝達ゲート156、157は活性化され、その伝達ゲート155は非活性化される。すなわち、クロック信号PCLK11のハイ-ロウ遷移時点とクロック信号PCLK12のロウ-ハイ遷移時点との間で、選択回路150のデータ伝送経路が転換される。このとき、以前の読出動作に関連した下位ワードデータQa3は、クロック信号PCLK11の立ち上がりエッジに同期して出力バッファ回路160にラッチされるので、下位ワードデータと上位ワードデータの衝突なしに(以前データ出力に影響せず)、選択回路のデータ伝送経路を転換することができる。

【0044】上記に説明したようなデータ伝送経路の転換結果として、選択回路150は列選択回路130から出力されるダブルワードデータのうち上位ワードデータを出力バッファ回路160に伝達する。出力バッファ回路160はクロック信号PCLK12が論理“ハイ”レベルとなると、選択回路150から出力される上位ワードデータをラッチし、このラッチされたデータはクロック信号PCLK13の立ち上がりエッジに同期して外部に出力される。このような一連の過程を通じてバースト長さによる4つの上位ワードデータQb0、Qb1、Qb2、Qb3がクロック信号に同期して順次に出力される。

【0045】

【発明の効果】上述したように、シングルワードモードの読出動作を遂行するとき、上位(または下位)ワードデータを出力し、下位(または上位)ワードデータを連続的に出力するために、CASレーテンシに対応するクロックサイクルより2クロックサイクルが速いクロック信号の非活性化区間で活性化されるワードラッチ信号WORD_LCHを生成し、この生成されたワードラッチ信号WORD_LCHを用いて選択回路150のデータ伝送経路を制御することにより、下位(または上位)ワードデータと上位(または下位)ワードデータの衝突なしに(以前データ出力に影響を及ぼすことなく)選択回路150のデータ伝送経路を転換することができる効果がある。

【図面の簡単な説明】

【図1】本発明による同期型メモリ装置に含まれる同期型マスクROM装置を示すブロック図。

【図2】図1における選択回路の望ましい実施例を示す

17

18

図。

【図 3】図 1 におけるラッチ信号発生部の望ましい実施例を示す図。

【図 4】図 1 における選択信号発生部の望ましい実施例を示す図。

【図 5】図 1 における出力バッファ回路の望ましい実施例を示す図。

【図 6】本発明のシングルワードモードによる連続読出動作を説明するためのタイミング図。

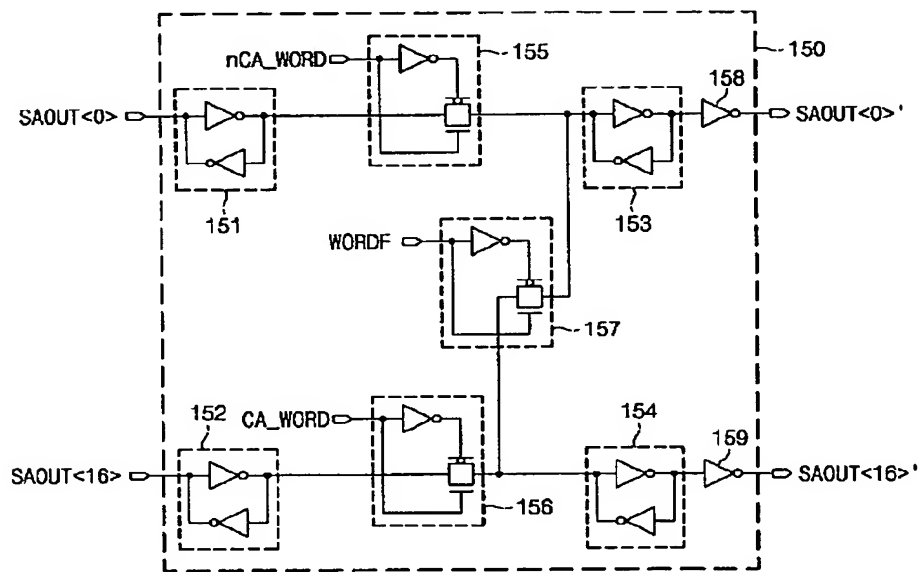
【符号の説明】

110 メモリセルアレイ

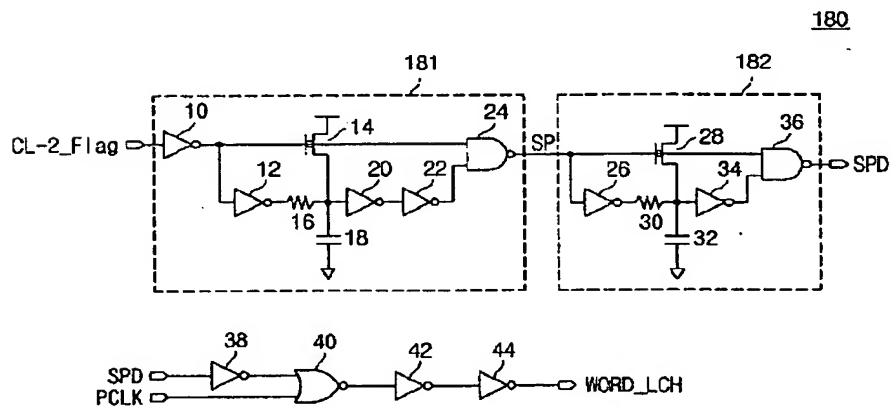
* 120 行選択回路
130 感知増幅回路
140 列選択回路
150 選択回路
160 出力バッファ回路
170 レーテンシ信号発生部
180 ラッチ信号発生部
190 選択信号発生部
200 ワードコーディング回路
10 210、220、230 バッファ

*

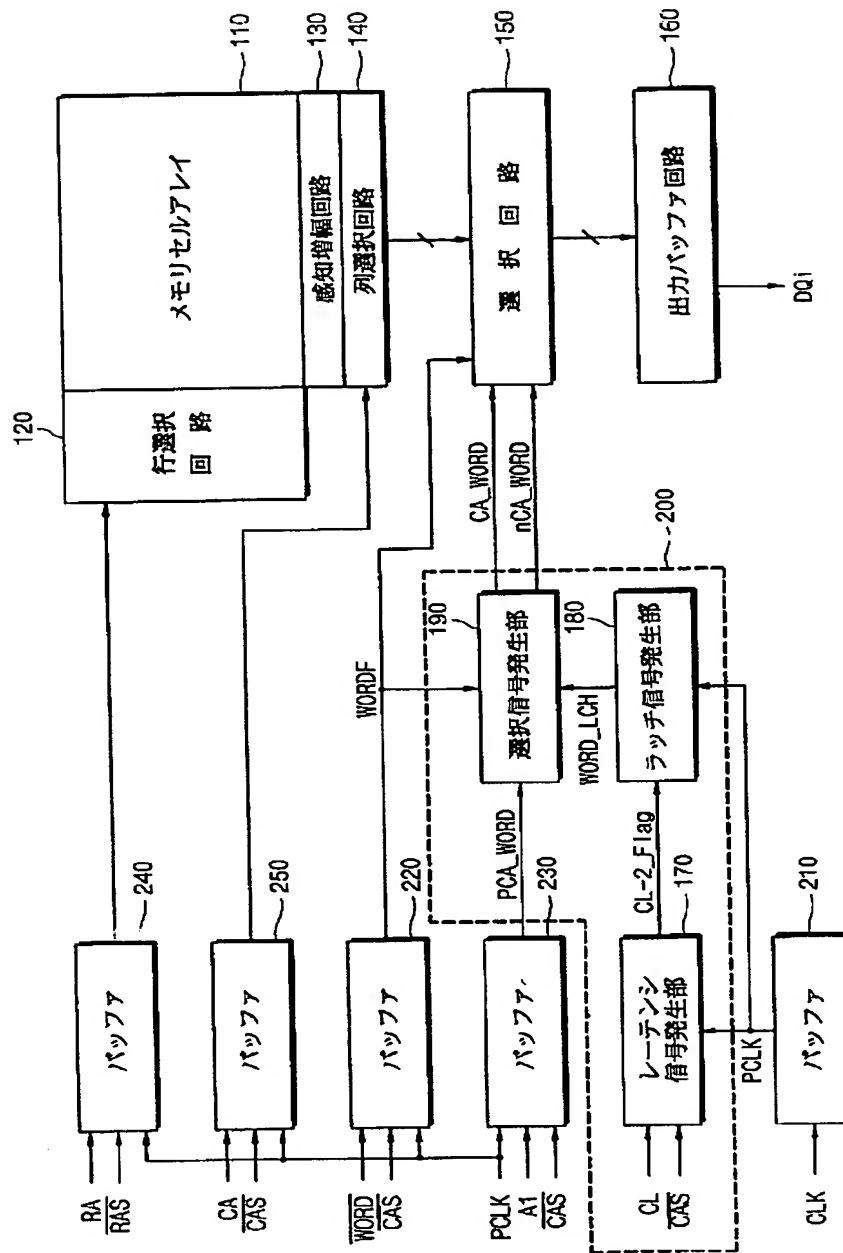
【図 2】



【図 3】

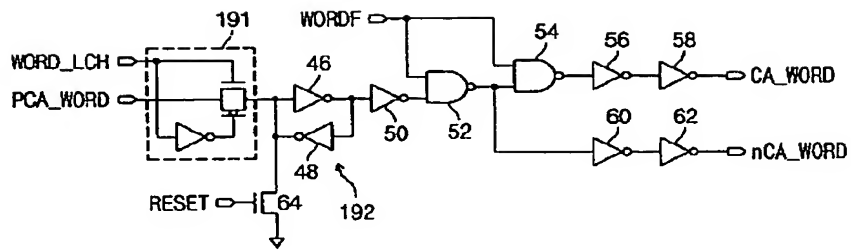


【図1】



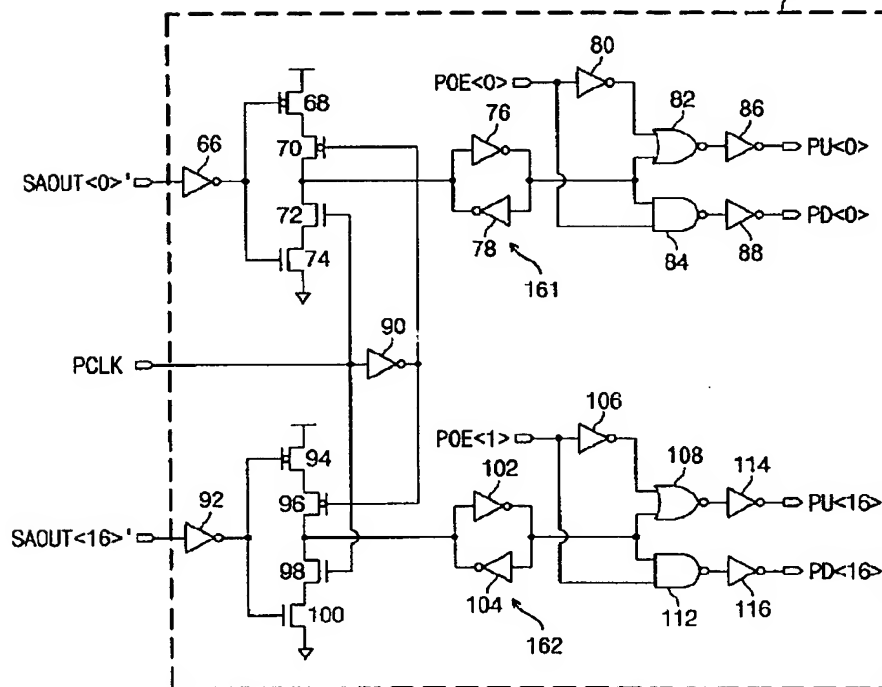
【図4】

192



【図5】

160



【図6】

